

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-203688

(43)Date of publication of application : 04.08.1995

(51)Int.Cl. H02M 7/5387
 H02M 1/08
 H02M 3/28
 H02M 7/48
 H02M 7/538

(21)Application number : 05-350148

(71)Applicant : SANKEN ELECTRIC CO LTD

(22)Date of filing : 30.12.1993

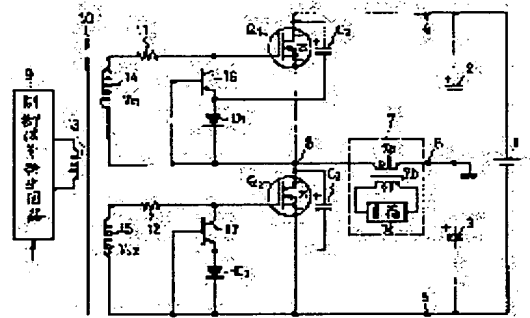
(72)Inventor : MORITA KOICHI
 ASO SHINJI

(54) CIRCUIT DEVICE WITH SWITCHING ELEMENT

(57)Abstract:

PURPOSE: To realize zero volt switching of a switching element positively through a simple circuit.

CONSTITUTION: Switching elements Q1, Q2 in a half-bridge type inverter are connected in parallel with capacitors C1, C2 for zero volt switching through diodes D1, D2. Transistors 16, 17 are connected, respectively, between the gates of the switching elements Q1, Q2 and the diodes D1, D2. The base of the transistor 16 is connected with a joint 8. The base of the transistor 17 is connected with the negative power supply terminal 5. When the discharging current from the capacitors C1, C2 flows into the bases of the transistors 16, 17, the transistors 16, 17 are turned ON thus blocking turn ON of the switching elements Q1, Q2.



LEGAL STATUS

[Date of request for examination] 05.07.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3379556

[Date of registration] 13.12.2002

[Number of appeal against examiner's decision of rejection]

BEST AVAILABLE COPY

This Page Blank (uspto)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-203688

(43)公開日 平成7年(1995)8月4日

(51)Int.Cl. ⁸	識別記号	序内整理番号	F I	技術表示箇所
H O 2 M 7/5387		9181-5H		
1/08	3 3 1	Z		
3/28		Q		
		R		
7/48	A	9181-5H		
審査請求 未請求 請求項の数13 F D (全 19 頁) 最終頁に続く				

審査請求 未請求 請求項の数13 FD (全 19 頁) 最終頁に続く

(21)出願番号 特願平5-350148

(22)出願日 平成5年(1993)12月30日

(71)出願人 000106276

サンケン電気株式会社

埼玉県新座市北野3丁目6番3号

(72)発明者 森田 浩一

埼玉県新座市北野三丁目6番3号 サンケ
ン電気株式会社内

(72)発明者 麻生 真司

埼玉県新座市北野三丁目6番3号 サンケン電気株式会社内

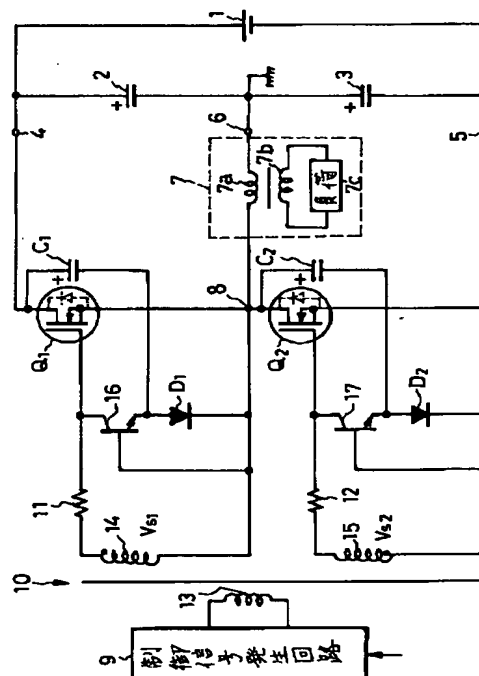
(74)代理人 弁理士 高野 則次

(54) 【発明の名称】 スイッチング素子を有する回路装置

(57) 【要約】

【目的】 スイッチング素子のゼロボルトスイッチングを簡単な回路で確実に達成する。

【構成】 ハーフブリッジ型インバータのスイッチング素子Q1、Q2にダイオードD1、D2を介してゼロボルトスイッチング用のコンデンサC1、C2を並列接続する。スイッチング素子Q1、Q2のゲートとダイオードD1、D2の間にトランジスタ16、17をそれぞれ接続する。トランジスタ16のベースは接続中点8に接続する。トランジスタ17のベースは負の電源端子5に接続する。コンデンサC1、C2の放電電流がトランジスタ16、17のベースに流れている時にはトランジスタ16、17がオンになり、スイッチング素子Q1、Q2のオンを阻止する。



【特許請求の範囲】

【請求項 1】 直流電源から供給された直流電圧をオン・オフするためのスイッチング素子を有する回路装置において、

充電電流を流すことができる方向性を有するダイオード又は p n 接合を介して前記スイッチング素子に並列に接続されたゼロボルトスイッチング用のコンデンサと、前記スイッチング素子を通らないで前記電源又は電源用コンデンサを通るように前記コンデンサの放電経路を形成すると共に前記コンデンサの放電電流が前記放電経路に流れている時に前記スイッチング素子のオン動作を阻止する手段とを備えていることを特徴とする回路装置。

【請求項 2】 直流電源に接続されたスイッチング素子をオン・オフして直流を交流に変換するハーフブリッジ型又は変形ハーフブリッジ型又はフルブリッジ型インバータ回路装置において、

前記スイッチング素子に 1 つ又は複数のダイオード及び／又は p n 接合を介して並列に接続されたコンデンサ

(C1 又は C) と、

前記スイッチング素子の制御端子にオン駆動信号が入力することを阻止するオン阻止手段とが設けられ、前記コンデンサを流れる電流に基づいて前記オン阻止手段を動作させるように構成されていることを特徴とするインバータ回路装置。

【請求項 3】 第 1 及び第 2 の直流電源 (2、3) と第 1 及び第 2 のスイッチング素子 (Q1、Q2) を有し、前記第 1 の電源 (2) の一端が前記第 1 のスイッチング素子 (Q1) の一端に接続され、前記第 1 の電源 (2) の他端が前記第 2 の電源 (3) の一端に接続され、前記第 1 のスイッチング素子 (Q1) の他端が前記第 2 のスイッチング素子 (Q2) の一端に接続され、前記第 2 の電源 (3) の他端が前記第 2 のスイッチング素子 (Q2) の他端に接続され、前記第 1 及び第 2 の電源 (2、3) の接続中点と前記第 1 及び第 2 のスイッチング素子 (Q1、Q2) の接続中点 (8) との間に負荷回路

(7) が接続され、前記第 1 及び第 2 のスイッチング素子 (Q1、Q2) の制御端子に前記第 1 及び第 2 のスイッチング素子 (Q1、Q2) を交互にオン・オフするための第 1 及び第 2 の駆動信号供給回路 (14、15) が接続されたインバータ回路装置において、

前記第 1 のスイッチング素子 (Q1) に対してコンデンサ充電用ダイオード (D1) 又は p n 接合を介して並列に接続されたコンデンサ (C1) と、

前記第 1 の電源 (2) と前記負荷回路 (7) とを通る前記コンデンサ (C1) の放電回路を形成すると共に前記コンデンサ (C1) の放電電流が流れている時に前記第 1 のスイッチング素子 (Q1) のオンを阻止する手段 (16 又は D3、D5) とを備えていることを特徴とするインバータ回路装置。

【請求項 4】 第 1 及び第 2 の直流電源 (2、3) と第

1 及び第 2 のスイッチング素子 (Q1、Q2) を有し、前記第 1 の電源 (2) の一端が前記第 1 のスイッチング素子 (Q1) の一端に接続され、前記第 1 の電源 (2) の他端が前記第 2 の電源 (3) の一端に接続され、前記第 1 のスイッチング素子 (Q1) の他端が前記第 2 のスイッチング素子 (Q2) の一端に接続され、前記第 2 の電源 (3) の他端が前記第 2 のスイッチング素子 (Q2) の他端に接続され、前記第 1 及び第 2 の電源 (2、3) の接続中点と前記第 1 及び第 2 のスイッチング素子 (Q1、Q2) の接続中点 (8) との間に負荷回路

(7) が接続され、前記第 1 及び第 2 のスイッチング素子 (Q1、Q2) の制御端子に前記第 1 及び第 2 のスイッチング素子 (Q1、Q2) を交互にオン・オフするための第 1 及び第 2 の駆動信号供給回路 (14、15) が接続されたインバータ回路装置において、

前記第 1 のスイッチング素子 (Q1) に対してコンデンサ放電用ダイオード (D5) を介して並列に接続されたコンデンサ (C1) と、

前記コンデンサ (C1) の充電回路を形成すると共に前記コンデンサ (C1) の充電電流が流れている時に前記第 1 のスイッチング素子 (Q1) のオンを阻止する手段 (20、21) とを備えていることを特徴とするインバータ回路装置。

【請求項 5】 少なくとも第 1 及び第 2 のスイッチング素子 (Q1、Q2) を含み、前記第 1 及び第 2 のスイッチング素子 (Q1、Q2) を交互にオン・オフすることによって直流を交流に変換するハーフブリッジ、又は変形ハーフブリッジ、又はフルブリッジ型インバータ回路装置において、

前記第 1 のスイッチング素子 (Q1) の制御端子に供給するための駆動信号をバイパスさせて前記第 1 のスイッチング素子 (Q1) のオンを阻止する第 1 のオン阻止手段 (16、D1 又は D1、D3、D5) と、

前記第 2 のスイッチング素子 (Q2) の制御端子に供給するための駆動信号をバイパスさせて前記第 2 のスイッチング素子 (Q2) のオンを阻止する第 2 のオン阻止手段 (17、D2 又は D2、D4、D6) と、

前記第 1 及び第 2 のオン阻止手段の一部を介して前記第 2 のスイッチング素子 (Q2) に対して並列に接続されたコンデンサ (C) とを備え、前記コンデンサ (C) の充放電によって前記第 1 及び第 2 の阻止手段が交互にオン阻止状態になるように構成されていることを特徴とするインバータ回路装置。

【請求項 6】 第 1 及び第 2 の直流電源 (2、3) と第 1 及び第 2 のスイッチング素子 (Q1、Q2) を有し、前記第 1 の電源 (2) の一端が前記第 1 のスイッチング素子 (Q1) の一端に接続され、前記第 1 の電源 (2) の他端が前記第 2 の電源 (3) の一端に接続され、前記第 1 のスイッチング素子 (Q1) の他端が前記第 2 のスイッチング素子 (Q2) の一端に接続され、前記第 2 の

電源 (3) の他端が前記第 2 のスイッチング素子 (Q2) の他端に接続され、前記第 1 及び第 2 の電源 (2、3) の接続中点と前記第 1 及び第 2 のスイッチング素子 (Q1、Q2) の接続中点 (8) との間に負荷回路 (7) が接続され、前記第 1 及び第 2 のスイッチング素子 (Q1、Q2) の制御端子に前記第 1 及び第 2 のスイッチング素子 (Q1、Q2) を交互にオン・オフするための第 1 及び第 2 の駆動信号供給回路 (14、15) が接続されたインバータ回路装置において、
 前記第 1 のスイッチング素子 (Q1) の制御端子と前記第 1 及び第 2 のスイッチング素子 (Q1、Q2) の接続中点 (8) との間に接続された第 1 のトランジスタ (16) と第 1 のダイオード (D1) との直列回路と、
 前記第 2 のスイッチング素子 (Q2) の制御端子と前記第 2 の電源 (3) の他端との間に接続された第 2 のトランジスタ (17) と第 2 のダイオード (D2) との直列回路と、
 前記第 1 のトランジスタ (16) と前記第 1 のダイオード (D1) との接続点と前記第 2 のトランジスタ (17) と前記第 2 のダイオード (D2) との接続点との間に接続されたコンデンサ (C) とを備え、前記第 1 のトランジスタ (16) のベースが前記第 1 及び第 2 のスイッチング素子 (Q1、Q2) の接続中点 (8) に接続され、前記第 2 のトランジスタ (17) のベースが前記第 2 の電源 (3) の他端に接続されていることを特徴とするインバータ回路装置。
 【請求項 7】 第 1 及び第 2 の直流電源 (2、3) と第 1 及び第 2 のスイッチング素子 (Q1、Q2) を有し、前記第 1 の電源 (2) の一端が前記第 1 のスイッチング素子 (Q1) の一端に接続され、前記第 1 の電源 (2) の他端が前記第 2 の電源 (3) の一端に接続され、前記第 1 のスイッチング素子 (Q1) の他端が前記第 2 のスイッチング素子 (Q2) の一端に接続され、前記第 2 の電源 (3) の他端が前記第 2 のスイッチング素子 (Q2) の他端に接続され、前記第 1 及び第 2 の電源 (2、3) の接続中点と前記第 1 及び第 2 のスイッチング素子 (Q1、Q2) の接続中点 (8) との間に負荷回路 (7) が接続され、前記第 1 及び第 2 のスイッチング素子 (Q1、Q2) の制御端子に前記第 1 及び第 2 のスイッチング素子 (Q1、Q2) を交互にオン・オフするための第 1 及び第 2 の駆動信号供給回路 (14、15) が接続されたインバータ回路装置において、
 前記第 1 及び第 2 のスイッチング素子 (Q1、Q2) の接続中点 (8) と前記第 2 の電源 (3) の他端との間に第 1 の方向性を有する第 1 のダイオード (D1) とコンデンサ (C) と前記第 1 の方向と反対の第 2 の方向性を有する第 2 のダイオード (D2) との直列回路が接続され、
 前記第 1 のスイッチング素子 (Q1) の制御端子と前記第 1 のダイオード (D1) との間に第 3 のダイオード

(D3) が接続され、前記第 2 のスイッチング素子 (Q2) の制御端子と前記第 2 のダイオード (D2) との間に第 4 のダイオード (D4) が接続され、
 前記第 1 及び第 3 のダイオード (D1、D3) は前記第 1 のスイッチング素子 (Q1) の制御端子と前記接続中点 (8) との間において互いに直列に接続されていると共に前記第 1 のスイッチング素子 (Q1) の駆動信号によって導通する方向性を有しており、
 前記第 1 及び第 3 のダイオード (D1、D3) の直列回路又は第 1 のダイオード (D1) に対して逆並列に第 5 のダイオード (D5) が接続され、
 前記第 2 及び第 4 のダイオード (D2、D4) は前記第 2 のスイッチング素子 (Q2) の制御端子と前記第 2 の電源 (3) の他端との間において互いに直列に接続されていると共に前記第 2 のスイッチング素子 (Q2) の駆動信号によって導通する方向性を有しており、
 前記第 2 及び第 4 のダイオード (D2、D4) の直列回路又は前記第 2 のダイオード (D2) に対して逆並列に第 6 のダイオード (D6) が接続されていることを特徴とするインバータ回路装置。

【請求項 8】 直流電源 (40) と、
 前記直流電源 (40) の一端と他端との間にトランス (43) の 1 次巻線 (44) を介して接続されたスイッチング素子 (45) と、
 前記スイッチング素子 (45) の制御端子にオン・オフ駆動信号を供給する駆動回路と、
 前記駆動信号によって前記スイッチング素子をオンにすることを阻止するオン阻止手段 (56、57、58、又は 56、57、61) と、
 前記オン阻止手段の一部 (56) を介して前記スイッチング素子 (45) に並列に接続されたコンデンサ (55) とを有し、前記コンデンサ (C) の充電又は放電によって前記オン阻止手段をオン阻止状態にするように構成されていることを特徴とする電力変換回路装置。

【請求項 9】 直流電源 (40) と、
 前記直流電源 (40) の一端と他端との間にトランス (43) の 1 次巻線 (44) を介して接続されたスイッチング素子 (45) と、
 前記スイッチング素子 (45) の制御端子にオン・オフ駆動信号を供給する駆動回路 (51、52、60 又は 60a) と、
 前記トランス (43) の出力巻線 (46) と、
 前記スイッチング素子 (45) の一端に接続されたコンデンサ (55) と、
 前記コンデンサ (55) と前記スイッチング素子 (45) の他端との間に接続されたダイオード (56) と、
 前記スイッチング素子 (45) の制御端子と前記スイッチング素子 (45) の他端との間に接続された第 1 のトランジスタ (57) と、
 コレクタが前記第 1 のトランジスタ (57) のベースに

接続され、エミッタが前記コンデンサ（５５）と前記ダイオード（５６）との接続点に接続され、ベースが前記電源（４０）の他端に接続された第２のトランジスタ（５８）とを備えていることを特徴とする電力変換回路装置。

【請求項１０】 直流電源（４０）と、前記直流電源（４０）の一端と他端との間にトランス（４３）の１次巻線（４４）を介して接続されたスイッチング素子（４５）と、前記スイッチング素子（４５）の制御端子にオン・オフ駆動信号を供給する駆動回路と、前記トランス（４３）の出力巻線（４６）と、前記スイッチング素子（４５）の一端に接続されたコンデンサ（５５）と、前記コンデンサ（５５）と前記スイッチング素子（４５）の他端との間に接続されたダイオード（５６）と、前記スイッチング素子（４５）の制御端子と前記第１のダイオード（５６）との間に接続された第２のダイオード（６１）とを備え、前記駆動回路は前記コンデンサ（５５）の放電電流の経路となるように前記スイッチング素子（４５）の制御端子と前記電源（４０）の他端との間に接続され、前記第１のダイオード（５６）は前記コンデンサ（５５）の充電電流を流すことができる方向性を有していることを特徴とする電力変換回路装置。

【請求項１１】 請求項７において前記コンデンサ（５５）の放電電流を前記駆動回路を通して流す代りに、前記第１及び第２のダイオード（５６、６１）の直列回路又は前記第１のダイオード（５６）に逆並列接続された第３のダイオード（６４）を介して流すように構成したことを特徴とする電力変換回路装置。

【請求項１２】 直流電源（１）と第１及び第２のスイッチング素子（Ｑ１、Ｑ２）と出力トランス（７０）とを有し、前記トランス（７０）の１次巻線（７１）のセンタタップに前記電源（１）の一端が接続され、前記１次巻線（７１）の一端と前記電源（１）の他端との間に前記第１のスイッチング素子（Ｑ１）が接続され、前記１次巻線（７１）の他端と前記電源（１）の他端との間に前記第２のスイッチング素子（Ｑ２）が接続され、前記第１及び第２のスイッチング素子（Ｑ１、Ｑ２）の制御端子に前記第１及び第２のスイッチング素子（Ｑ１、Ｑ２）を交互にオン・オフするための第１及び第２の駆動信号供給回路（１４、１５）が接続されたインバータ回路において、前記第１のスイッチング素子（Ｑ１）に対してコンデンサ充電用ダイオード（Ｄ１）又はｐｎ接合を介して並列に接続されたコンデンサ（Ｃ１）と、前記１次巻線（７１）の一端とセンタタップとの間の部分と前記電源（１）とを通る前記コンデンサ（Ｃ１）の共振放電回路を形成すると共に前記コンデンサ（Ｃ１）の放電電流が流れている時に前記第１のスイッチング素

子（Ｑ１）のオンを阻止する手段（１６又はＤ３、Ｄ５）とを備えていることを特徴とするインバータ回路装置。

【請求項１３】 直流電源の一端と他端との間に少なくとも第１のスイッチング素子（Ｑ１）と第２のスイッチング素子（Ｑ２）との直列回路が接続され、前記第１及び第２のスイッチング素子（Ｑ１、Ｑ２）を交互にオン・オフすることによって直流を交流に変換するように構成されたハーフブリッジ型、又は変形ハーフブリッジ型、又はフルブリッジ型インバータ回路装置において、前記第１及び第２のスイッチング素子（Ｑ１、Ｑ２）は互いに反対の導電形式又は極性の半導体スイッチング素子から成り、前記第１及び第２のスイッチング素子（Ｑ１、Ｑ２）を交互にオン・オフするための共通の制御端子（１３ａ）が設けられ、前記第１及び第２のスイッチング素子（Ｑ１、Ｑ２）の制御端子の相互間にＮＰＮ型トランジスタ（１６）とＰＮＰ型トランジスタ（１７）との直列回路が接続され、前記ＮＰＮ型トランジスタ（１６）と前記ＰＮＰ型トランジスタ（１７）との相互接続点と前記第１のスイッチング素子（Ｑ１）の一端との間にコンデンサ（Ｃ）が接続され、前記ＮＰＮ型トランジスタ（１６）のベースと前記ＰＮＰ型トランジスタ（１７）のベースとが前記第１及び第２のスイッチング素子（Ｑ１、Ｑ２）の接続中点（８）に接続されていることを特徴とするインバータ回路装置。

【発明の詳細な説明】

【０００１】

【産業上の利用分野】 本発明は、インバータ、ＤＣ－ＤＣコンバータ等のスイッチング素子を含む回路装置に関する。

【０００２】

【従来の技術】 インバータ又はコンバータのスイッチング素子に対して並列にコンデンサを接続し、スイッチオフ時にスイッチング素子に過大な電圧が印加されることを防ぐ方法は公知である。

【０００３】

【発明が解決しようとする課題】 ところで、スイッチング素子のオフ期間にコンデンサに蓄積された電荷はスイッチング素子のオン時にスイッチング素子を介して放出されて電力損失を発生する。

【０００４】 そこで、本発明の目的はスイッチング素子に実質的に並列に接続されたコンデンサの放電による電力損失を簡単な構成で低減することができる回路装置を提供することにある。

【０００５】

【課題を解決するための手段】 上記目的を達成するための本発明は、直流電源から供給された直流電圧をオン・

オフするためのスイッチング素子を有する回路装置において、充電電流を流すことができる方向性を有するダイオード又はpn接合を介して前記スイッチング素子に並列に接続されたゼロボルトスイッチング用のコンデンサと、前記スイッチング素子を通らないで前記電源を通るように前記コンデンサの放電経路を形成すると共に前記コンデンサの放電電流が前記放電経路に流れている時に前記スイッチング素子のオン動作を阻止する手段とを備えていることを特徴とする回路装置に係わるものである。なお、請求項2〜13に示すように構成することが望ましい。

【0006】

【発明の作用効果】本発明においては、ダイオード又はpn接合を介してコンデンサを充電するように構成したので、コンデンサのスイッチング素子への放電はダイオード又はpn接合で阻止される。これにより、スイッチング素子においてコンデンサの電荷が無駄に消費されない。コンデンサの放電経路には電源又は電源用コンデンサが含まれるので、コンデンサの電荷は電源に帰還され、効率が上昇する。また、コンデンサの放電電流が流れている時はスイッチング素子の駆動が阻止されるため、スイッチング素子の両端子間が低下した後にスイッチング素子がオンになり、ターンオン時のゼロボルトスイッチングが可能になる。

【0007】

【第1の実施例】次に、図1及び図2を参照して第1の実施例に係わるハーフブリッジ型インバータを説明する。図1において直流電源1に対して並列に第1及び第2の電源用コンデンサ2、3の直列回路が接続されている。これにより、第1の電源用コンデンサ2の上端に接続されている第1の電源端子4に正の電圧が得られ、第2の電源用コンデンサ3の下端に接続されている第2の電源端子5に負の電圧が得られる。第1及び第2の電源用コンデンサ2、3の接続中点は第3の電源端子即ちグラウンド端子6に接続されている。第1及び第2の電源端子4、5の間に絶縁ゲート型電界効果トランジスタから成る第1及び第2のスイッチング素子Q1、Q2の直列回路が接続されている。なお、第1及び第2のスイッチング素子Q1、Q2は電界効果トランジスタであるため、ゲート・ソース間に逆並列に接続された内蔵ダイオードを有する。負荷回路7は第1及び第2のスイッチング素子Q1、Q2の接続中点8とグラウンド端子6との間に接続されている。負荷回路7は1次巻線7aと2次巻線7bとを有するトランスと2次巻線7bに接続された負荷7cとから成り、インダクタンスを有する。

【0008】第1及び第2のスイッチング素子Q1、Q2を交互にオン・オフ制御するための駆動信号供給回路を構成するために、共通の制御信号発生回路9とトランス10と抵抗11、12とが設けられている。トランス10は共通の制御信号発生回路9に接続された1次巻線

13と、この1次巻線13に電磁結合された第1及び第2のスイッチ駆動巻線14、15とから成る。巻線14、15は第1及び第2の駆動信号供給回路として機能する。第1の極性を有する第1のスイッチ駆動巻線14の一端は抵抗11を介して第1のスイッチング素子Q1の制御端子（ゲート）に接続され、他端は接続中点8即ち第1のスイッチング素子Q1のソースに接続されている。第1の極性と反対の第2の極性を有する第2のスイッチ駆動巻線15の一端は抵抗12を介して第2のスイッチング素子Q2の制御端子（ゲート）に接続され、他端は第2のスイッチング素子Q2の下側電極即ちソースに接続されている。共通の制御信号発生回路9は出力電圧指令に従うパルス幅を有する正パルスと負パルスとを交互に発生する。

【0009】ターンオフ時及びターンオン時のゼロボルトスイッチングを達成するため、及び第1及び第2のスイッチング素子Q1、Q2が同時にオンになることを防ぐために、第1及び第2のコンデンサC1、C2とコンデンサの充電回路形成用の第1及び第2のダイオードD1、D2と、放電回路形成及びオン阻止手段としての第1及び第2のトランジスタ16、17とが設けられている。第1及び第2のコンデンサC1、C2の一端は第1及び第2のスイッチング素子Q1、Q2の上端（ドレイン）に接続され、それぞれ他端は第1及び第2のダイオードD1、D2を介して接続中点8に接続されている。放電電流の経路を形成すると共にオン阻止手段として機能する第1及び第2のトランジスタ16、17のコレクタは第1及び第2のスイッチング素子Q1、Q2の制御端子（ゲート）に接続され、それぞれのエミッタは第1及び第2のダイオードD1、D2のアノードに接続されている。また、第1のトランジスタ16のベースは接続中点8に接続され、第2のトランジスタ17のベースは第2のスイッチング素子Q2のソース及び第2の電源端子5に接続されている。

【0010】

【動作】図1の回路において、制御信号発生回路9から正常に制御信号が発生している時の各部の波形は図2のt1〜t7区間に示すようになる。即ち、第1のスイッチ駆動巻線14の第1の駆動信号VS1は図2（A）に示すようにt1〜t2区間、t5〜t6区間で第1のスイッチング素子Q1のオンを示す高レベル（正パルス）となり、第2のスイッチ駆動巻線15の第2の駆動信号VS2は図2（B）に示すようにt3〜t4区間で第2のスイッチング素子Q2のオンを示す高レベル（正パルス）となる。第1及び第2の駆動信号VS1、VS2のオン期間（正パルス）の相互間隔t2〜t3、t4〜t5、t6〜t7がコンデンサC1、C2の充放電時間よりも長い場合には図2（A）（B）の駆動信号VS1、VS2が第1及び第2のスイッチング素子Q1、Q2のゲートに有効に印加される。出力電圧の調整時には第1及び第2の駆

動信号VS1、VS2の正パルスの幅が変えられる。t1～t2で第1のスイッチング素子Q1がオンしている時には、第1の電源端子4と第1のスイッチング素子Q1と負荷回路7のトランス1次巻線7aとグランド端子6とから成る回路で第1の方向の電流が負荷回路7に流れる。t3～t4で第2のスイッチング素子Q2がオンしている時には、グランド端子6と負荷回路7の1次巻線7aと第2のスイッチング素子Q2と第2の電源端子5とから成る回路で負荷回路7に第2の方向の電流が流れる。

【0011】第1のスイッチング素子Q1のオン期間には、第1のコンデンサC1の電圧はほぼ零であり、第2のコンデンサC2は第2の電源用コンデンサ3の電圧と負荷回路7の1次巻線7aの電圧との和の電圧即ち電源1の電圧に充電されている。t2時点で第1のスイッチング素子Q1のゲート信号が低レベルに立下り、ターンオフ制御されると、第1のコンデンサC1の第1のスイッチング素子Q1による短絡が解除され、第1のコンデンサC1は第1の電源用コンデンサ2の電圧と負荷回路7の1次巻線7aの逆起電力とによって第1のダイオードD1を介して充電される。換言すれば電源1の電圧から第2のスイッチング素子Q2の電圧を差し引いた電圧でコンデンサC1は充電される。この時、第1のコンデンサC1は1次巻線7aのインダクタンスとの共振によって又は時定数を有して充電されるために、図2(C)に示すように、第1のコンデンサC1の電圧及び第1のスイッチング素子Q1のドレイン・ソース間電圧は徐々に増大する。これにより、第1のスイッチング素子Q1にストレージによってt2以後に電流が流れていたとしても、電流と電圧の積が小さくなり、ターンオフ時の電力損失を低減することができる。また、ターンオフ時の高周波ノイズの発生を抑制することができる。第1のスイッチング素子Q1及び第1のコンデンサC1の電圧が図2(C)のようにt2からt3に向って徐々に高くなると、第2のスイッチング素子Q2及び第2のコンデンサC2の電圧は図2(D)に示すように徐々に低くなる。この時、第2のコンデンサC2の放電は第2のコンデンサC2と負荷回路7の1次巻線7aと第2の電源用コンデンサ3とトランジスタ17のベース・エミッタ間とから成る回路で行われる。1次巻線7aには第1のコンデンサC1の充電電流と第2のコンデンサC2の放電電流とが図1の左から右に向って流れる。この電流によって1次巻線7aに生じる電圧は第1の電源用コンデンサ2の電圧と同じ向きを有し、第2の電源用コンデンサ3の電圧と反対の向きを有する。そして、この1次巻線7aの電圧は回路定数で決まる所定時間後に第1及び第2の電源用コンデンサ2、3の電圧と同一になる。換言すれば第2のコンデンサC2が放電が完了してこの電圧が零になり、第1のコンデンサC1が電源1の電圧即ち第1の電源用コンデンサ2の電圧の2倍になった時に負

荷回路7の1次巻線7aに第2の電源用コンデンサ3の電圧のほぼ全部が印加される。図2のt4～t5期間にはt2～t3期間と逆に第1のスイッチング素子Q1がターンオン動作し、第2のスイッチング素子Q2がターンオフ動作する。この時、第1のコンデンサC1の放電は第1のコンデンサC1と第1の電源用コンデンサ2と1次巻線7aとトランジスタ16のベース・エミッタ間とから成る回路で行われる。また、第2のコンデンサC2の充電は第2の電源用コンデンサ3と1次巻線7aと第2のコンデンサC2と第2のダイオードD2とから成る回路で行われる。

【0012】この実施例では、第1及び第2のスイッチング素子Q1、Q2のゼロボルトスイッチングを達成するために、第1及び第2のスイッチング素子Q1、Q2の電圧が実質的に零ボルトになった後にこれ等をオン駆動している。これにより、ターンオフ時とターンオン時との両方でゼロボルトスイッチングが達成され、電力損失が少なくなる。

【0013】ところで、制御信号発生回路9の製作上のバラツキ等によって、第1及び第2のスイッチング素子Q1、Q2に並列のコンデンサC1、C2の電圧が実質的に零ボルトになる前にスイッチング素子Q1、Q2のオン駆動信号が発生することがある。また、スイッチング素子Q1、Q2のストレージタイムのバラツキでオン期間が延びることがある。もし、第1及び第2のスイッチング素子Q1、Q2に並列のコンデンサC1、C2の電圧が零ボルトになる前に第1及び第2のスイッチング素子Q1、Q2がオンになると、ここを介して第1及び第2のコンデンサC1、C2の放電電流が流れ、電力損失が生じる。また、第1及び第2のスイッチング素子Q1、Q2が同時にオンすれば電源1の短絡回路が形成される。しかし、図1の本発明に従う回路では、第1及び第2のコンデンサC1、C2の電圧が実質的に零ボルトになるまで、第1及び第2のスイッチング素子Q1、Q2のオンが阻止される。例えば図2(A)のt8時点において第1のスイッチング素子Q1の制御信号VS1の立下りと第2のスイッチング素子Q2の駆動信号VS2の立下りとが一致したとしても、第1のコンデンサC1の放電電流が流れている間は、第1のスイッチング素子Q1の駆動信号VS1がバイパスされ、第1のスイッチング素子Q1のオンが阻止される。即ち、第1のコンデンサC1の放電電流が第1のコンデンサC1と第1の電源用コンデンサ2と1次巻線7aとトランジスタ16のベース・エミッタ間に流れている期間においては、第1のスイッチング素子Q1のゲートとソースとの間がトランジスタ16とダイオードD1で短絡され、第1のスイッチング素子Q1はt8時点でオンにならない。t9時点で第1のコンデンサC1の放電が終了すると、トランジスタ16がオフになるため、第1のスイッチング素子Q1のゲートに電圧が印加され、これがオンになる。この結

果、第 1 及び第 2 のスイッチング素子 Q1、Q2 が同時にオンになることが阻止されると共に、ゼロボルトスイッチングを確実に達成することができる。なお、第 2 のスイッチング素子 Q2 のターンオン時にも第 1 のスイッチング素子 Q1 のターンオン時と同様な動作が生じる。コンデンサ C1、C2 の電荷は電源 2、3 に帰還されるので、効率が上昇する。

【0014】

【第 2 の実施例】次に、図 3 を参照して第 2 の実施例のハーフブリッジ型インバータ回路を説明する。但し、図 3 及び後述する図 4 及び図 5 において図 1 と共通する部分には同一の符号を付してその説明を省略する。図 3 の回路は図 1 の回路のトランジスタ 16、17 の代りに第 3 及び第 4 のダイオード D3、D4 を接続し、且つ第 5 及び第 6 のダイオード D5、D6 を付加し、且つ第 1 及び第 2 のスイッチング素子 Q1、Q2 をバイポーラトランジスタとしたものである。第 5 及び第 6 のダイオード D5、D6 は、第 1 及び第 2 のダイオード D1、D2 と第 3 及び第 4 のダイオード D3、D4 との直列回路に対して逆並列接続されている。また、図 1 の電界効果トランジスタのドレイン、ソース及びゲートがバイポーラトランジスタのコレクタ、エミッタ及びベースに置き換えられている。

【0015】図 3 の回路の基本的動作は図 1 と同一である。図 1 と異なる点はコンデンサ C1、C2 の放電電流の経路である。図 3 では第 1 のコンデンサ C1 の放電が、第 1 のコンデンサ C1 と第 1 の電源用コンデンサ 2 と負荷 7 の 1 次巻線 7a と第 5 のダイオード D5 と第 3 のダイオード D3 とから成る回路で行われる。第 1 のコンデンサ C1 の放電期間には、第 5 のダイオード D5 で第 1 のスイッチング素子 Q1 のベース・エミッタ間が短絡され、図 2 の t8 に示すように第 1 のスイッチング素子 Q1 に対するオン駆動信号が発生してもオンが阻止される。第 1 のコンデンサ C1 が実質的に零ボルトまで放電すると、第 5 のダイオード D5 がオフになり、第 1 のスイッチング素子 Q1 のオンが可能になる。第 2 のコンデンサ C2 の放電回路も同様に第 6 及び第 4 のダイオード D6、D4 を介して形成される。この他は第 1 の実施例と同一であるので、第 2 の実施例によっても第 1 の実施例と同一の作用効果を得ることができる。

【0016】

【第 3 の実施例】図 4 に示す第 3 の実施例は図 3 の第 2 の実施例の一部を変えたものである。この実施例では第 5 及び第 6 のダイオード D5、D6 が第 1 及び第 2 のダイオード D1、D2 に逆並列接続されている。また、電流帰還巻線 18、19 がトランス 10 に設けられ、これが第 1 及び第 2 のスイッチング素子 Q1、Q2 に直列に接続されている。

【0017】図 4 の回路では第 1 のコンデンサ C1 の放電が第 1 のコンデンサ C1 と第 1 の電源用コンデンサ 2

と 1 次巻線 7a と帰還巻線 18 と第 5 のダイオード D5 とから成る回路で行われる。放電電流が流れて第 5 のダイオード D5 がオンの時に、第 1 のスイッチング素子 Q1 のオン制御信号が発生した場合には、第 1 の駆動巻線 14 のオン制御信号によって第 1 のスイッチング素子 Q1 のベース・エミッタ間を順バイアスする電圧が第 5 のダイオード D5 の電圧で打ち消され、第 1 のスイッチング素子 Q1 はオンに転換できない。しかし、第 1 のコンデンサ C1 の放電が終了して第 5 のダイオード D5 がオフになると、第 3 及び第 1 のダイオード D3、D1 の回路にオン駆動信号に基づく電流が流れ、2 つのダイオード D3、D1 の電圧降下の和によって第 1 のスイッチング素子 Q1 のベース・エミッタが順バイアスされ、第 1 のスイッチング素子 Q1 がオンになる。コンデンサ C2 の放電も第 6 のダイオード D6 を介して同様に行われ、この完了後に第 2 のトランジスタ Q2 がオンになる。

【0018】

【第 4 の実施例】図 5 に示す第 4 の実施例では、第 1 及び第 2 のコンデンサ C1、C2 の放電電流の通路に図 4 と同様に第 5 及び第 6 のダイオード D5、D6 を接続し、この電圧に基づいてオン制御信号を制御している。即ち、第 5 のダイオード D5 が第 1 のコンデンサ C1 の放電でオンしている時に第 1 のスイッチング素子 Q1 のオンを阻止するために、第 1 のスイッチング素子 Q1 のゲートとソースの間にダイオード 22 を介してトランジスタ 20 が接続され、このトランジスタ 20 のベースとエミッタとの間にトランジスタ 21 が接続され、バイアス電源 25 とトランジスタ 20 及び 21 のベースとエミッタとの間に抵抗 23、24 が接続され、トランジスタ 21 のベースとエミッタとの間にダイオード D5 が接続されている。同様に、第 2 のスイッチング素子 Q2 のゲートとソースとの間にダイオード 28 を介してトランジスタ 26 が接続され、このトランジスタ 26 のベースとエミッタとの間にトランジスタ 27 が接続され、バイアス電源 31 とトランジスタ 26、27 のベースの間に抵抗 29、30 が接続され、トランジスタ 27 のベースとエミッタとの間にダイオード D6 が接続されている。

【0019】第 1 のコンデンサ C1 の放電でダイオード D5 がオンしている時にはトランジスタ 21 がオフに制御され、逆にトランジスタ 20 がオンになり、第 1 のスイッチング素子 Q1 のオン制御信号はダイオード 22 とトランジスタ 20 にバイパスし、第 1 のスイッチング素子 Q1 のオンが阻止される。第 1 のコンデンサ C1 の放電が終了し、ダイオード D5 がオフになると、トランジスタ 21 がオンになり、逆にトランジスタ 20 がオフになり、オン駆動信号の阻止が解除される。同様に第 2 のコンデンサ C2 の放電による第 2 のスイッチング素子 Q2 のオン阻止動作が生じる。上述から明らかなように図 5 の回路によっても図 1 の回路と同一の作用効果を得る

ことができる。

【0020】

【第5の実施例】次に、図6に示す第5の実施例のハーフブリッジ型インバータを説明する。但し、図6において図1と共通する部分には同一の符号を付してその説明を省略する。図6の回路は図1の回路の2つのコンデンサC1、C2の代りに1つのコンデンサCを設けたものである。図6でコンデンサCは第1のダイオードD1のアノードと第2のダイオードD2のアノードとの間に接続されている。図6においてこのコンデンサC以外は図1と同一に形成されている。

【0021】

【動作】図6においてコンデンサCの充放電以外の動作は図1と同一であるので、その説明を省略する。まず、スイッチング素子Q2のオン期間はコンデンサCが第1のダイオードD1と第2のスイッチング素子Q2とトランジスタ17のベース・エミッタ間とで短絡されているためにコンデンサCの電圧は零である。スイッチング素子Q2がオフ制御されると、この両端子間電圧 V_{DS} が上昇し、接続中点8の電位が第2のスイッチング素子Q2のソース電位よりも高くなる。これにより、第2の電源用コンデンサ3と負荷1次巻線7aとトランジスタ16のベース・エミッタ間とコンデンサCと第2のダイオードD2とから成る回路でコンデンサCの充電電流が流れる。この結果、図1の回路と同様にトランジスタ16のオンで第1のスイッチング素子Q1のオンが阻止される。コンデンサCが電源1の電圧と同一の値まで充電されると、コンデンサCの充電電流が流れなくなり、第1のスイッチング素子Q1のドレイン電位とソース電位とがほぼ等しくなり、このドレイン・ソース間電圧 V_{DS1} がほぼ零になる。コンデンサCの充電の終了に同期してトランジスタ16がオフになるので、第1の駆動巻線14による駆動が可能になり、第1のスイッチング素子Q1がオンになる。これにより、図1と同様にゼロボルトスイッチングが達成される。第1のスイッチング素子Q1がオフ制御された時にはここで電圧降下が生じ、接続中点8の電位が下る。このため、コンデンサCと第1のダイオードD1と負荷1次巻線7aと第2の電源用コンデンサ3とトランジスタ17のベース・エミッタ間とから成る回路でコンデンサCの放電回路が形成され、この放電電流が流れている期間は図1と同様にトランジスタ17がオンになり、第2のスイッチング素子Q2のオン駆動が阻止される。コンデンサCの放電が終了してこの電圧が零になると、トランジスタ17がオフになり、巻線15の制御信号 V_{S2} が第2のスイッチング素子Q2に有効に作用し、第2のスイッチング素子Q2がオンになり、ゼロボルトスイッチングが達成される。従って、図6の回路によっても図1の回路と同一の作用効果を得ることができ、更にコンデンサの数を1個減らすことができる。

【0022】

【第6の実施例】図7は本発明に従うRCC型DC-DCコンバータ即ちスイッチングレギュレータを示す。この図7において、直流電源40に接続された第1及び第2の電源端子41、42との間にトランス43と図1と同様の電界効果トランジスタから成るスイッチング素子45との直列回路が接続されている。トランス43の2次巻線46にはダイオード47とコンデンサ48とから成る出力整流平滑回路50が接続されている。なお、2次巻線46の極性はスイッチング素子45のオフ期間にダイオード49をオンにする向きに決定されている。スイッチング素子45を帰還によって自励でオン・オフ制御するためにトランス43に駆動巻線51が設けられている。この駆動巻線51は1次及び2次巻線44、46に電磁結合されている。駆動巻線51の一端はコンデンサ52と抵抗53とを介してスイッチング素子45の制御端子（ゲート）に接続され、他端はスイッチング素子45のソースに接続されている。起動抵抗54は一方の電源端子41とスイッチング素子45のゲートとの間に接続されている。

【0023】本発明に従う動作を可能にするために、ゼロボルトスイッチング用コンデンサ55が充電用ダイオード56を介してスイッチング素子45に並列に接続されている。即ちコンデンサ55の一端はスイッチング素子45の上端（ドレイン）に接続され、この他端はダイオード56を介してスイッチング素子45の下端（ソース）に接続されている。また、スイッチング素子45の制御端子（ゲート）とソースとの間にはオン阻止手段を構成するためのPNP型のトランジスタ57が接続され、このトランジスタ57のベースとダイオード56のアノードとの間に放電回路形成及びオン阻止手段として機能するNPN型のトランジスタ58が接続されている。トランジスタ58のコレクタは抵抗59を介してスイッチング素子45のゲートに接続され、エミッタはダイオード56に接続され、ベースは下側の電源端子（グランド端子）42に接続されている。なお、トランジスタ57のベースに例えば特公平3-57712号等で周知な電圧制御回路60が接続されている。

【0024】図7のスイッチングレギュレータの基本的動作は従来のRCC型スイッチングレギュレータと同一であり、スイッチング素子45のオン期間にトランス43にエネルギーが蓄積され、スイッチング素子45がオフの期間にダイオード49が導通してトランス43のエネルギーがコンデンサ48及び負荷に放出される。電圧制御回路60は電圧制御信号に応答してトランジスタ57をオンにする時点を調整する。トランジスタ57がオンになると、スイッチング素子45の制御端子（ゲート）がグランド端子42に接続され、スイッチング素子45はオフになる。

【0025】スイッチング素子45のオフ時に電圧40

と 1 次巻線 4 4 の電圧との和によってコンデンサ 5 5 が電源 4 0 の電圧の約 2 倍に充電される。コンデンサ 5 5 の電圧即ちスイッチング素子 4 5 の電圧は図 7 に示すように徐々に増大するので、スイッチング素子 4 5 のゼロボルトスイッチングが達成される。なお、コンデンサ 5 5 の充電電流はダイオード 5 6 を通って流れる。トランス 4 3 のエネルギーの放出が図 8 の t_3 時点で終了すると、ダイオード 4 7 がオフになり、2 次巻線 4 6 がコンデンサ 4 8 から切り離される。これにより、電源 4 0 の電圧 E と 1 次巻線 4 4 の電圧との和 ($2E$) によるコンデンサ 5 5 の充電電圧のクランプが解除され、コンデンサ 5 5 と 1 次巻線 4 4 のインダクタンスとの共振によってコンデンサ 5 5 の放電が開始し、 $t_3 \sim t_4$ 区間に示すようにコンデンサ 5 5 の電圧は徐々に低下する。コンデンサ 5 5 の放電電流はコンデンサ 5 5 と 1 次巻線 4 4 と電源 4 0 とトランジスタ 5 8 のベース・エミッタ間とから成る回路で流れる。この結果、コンデンサ 5 5 の放電電流が流れている期間においては、トランジスタ 5 8 及び 5 7 がオンになり、スイッチング素子 4 5 のゲートとソース間が短絡され、スイッチング素子 4 5 のオフが維持される。このため、仮りに図 8 の t_4 よりも前に制御回路 6 0 からスイッチング素子 4 5 のオフ解除を示す信号が発生してもオフ解除が達成されず、トランジスタ 5 7 のオンが継続する。図 8 の $t_3 \sim t_4$ 区間はコンデンサ 5 5 が電荷を有している期間であるので、もしこの期間でスイッチング素子 4 5 がオンするとコンデンサ 5 5 がスイッチング素子 4 5 で短絡され、電力損失が生じると共にノイズが発生する。これに対して $t_3 \sim t_4$ 期間でのスイッチング素子 4 5 のオンを阻止してその後にはオンにすると、上述の電力損失及びノイズが発生しない。なお、コンデンサ 5 5 の電圧が図 7 の $t_3 \sim t_4$ 区間で点線で示すように t_4 で零にならない場合であっても、スイッチング素子 4 5 のオン時点をコンデンサ 5 5 の働きで遅らせることによってそれなりの電力損失の低減が達成される。

【0026】

【第 7 の実施例】次に、図 9 を参照して第 7 の実施例の R C C 型 D C - D C コンバータを説明する。但し、図 9 において図 7 と共通する部分には同一符号を付してその説明を省略する。図 9 の回路ではスイッチング素子 4 5 としてバイポーラトランジスタが使用され、図 7 のトランジスタ 5 8 の代りにダイオード 6 1 が接続されている。図 9 において、ダイオード 6 1 はスイッチング素子 (トランジスタ) 4 5 のベースとダイオード 5 6 のアノードとの間に接続されている。また、駆動巻線 5 1 とスイッチング素子 4 5 のベースとの間にはダイオード 6 2 とコンデンサ 6 3 との並列回路が接続されている。

【0027】この実施例でもスイッチング素子 4 5 のオン期間にトランス 4 3 にエネルギーが蓄積され、オフ期間にダイオード 4 7 を介して放出される。出力電圧の調

整はトランジスタ 5 7 によるベース電流のバイパス量の制御で達成している。スイッチング素子 4 5 のオン開始は駆動巻線 5 1 の正方向電圧 (上向き電圧) によって達成される。スイッチング素子 4 5 のオフ開始はスイッチング素子 4 5 の非飽和領域への移行又はトランス 4 3 の飽和によって達成される。

【0028】スイッチング素子 4 5 がオフに転換すると、コンデンサ 5 5 が電源 4 0 と 1 次巻線 4 4 とコンデンサ 5 5 とダイオード 5 6 とから成る回路で充電される。この時、コンデンサ 5 5 は電源 4 0 の電圧 E の 2 倍に充電される。コンデンサ 5 5 はインダクタンス 4 4 との共振によって充電されるので、徐々にこの電圧が高くなり、スイッチング素子 4 5 のゼロボルトスイッチング及びノイズ抑制が達成される。スイッチング素子 4 5 のオフが継続してトランス 4 3 のエネルギーの放出が終了してダイオード 4 7 がオフになると、コンデンサ 5 5 のクランプが解除され、コンデンサ 5 5 と 1 次巻線 4 4 のインダクタンスとの共振動作によってコンデンサ 5 5 と 1 次巻線 4 4 と電源 4 0 と駆動巻線 5 1 とダイオード 6 2 と抵抗 5 3 とダイオード 6 1 とから成る放電回路で放電電流が流れ、コンデンサ 5 5 の電圧が零ボルトまで低下する。コンデンサ 5 5 の放電電流が流れている間はスイッチング素子 4 5 のベースがグラウンドに近いレベルに保たれるために、スイッチング素子 4 5 はオフに保たれる。コンデンサ 5 5 の放電が終了すると、駆動巻線 5 1 の正方向電圧又は起動抵抗 5 4 の電流に基づいてスイッチング素子 4 5 はオンに転換する。スイッチング素子 4 5 がオンした時点でコンデンサ 5 5 の電圧は零であるので、コンデンサ 5 5 の電荷がスイッチング素子 4 5 を通して放出される動作は生じない。これにより電力損失の低減及びノイズの抑制が達成される。なお、図 9 で点線で示すように図 3 の回路と同様にダイオード 6 4 を設けることができる。また、ダイオード 6 4 をダイオード 5 6 に逆並列接続することができる。

【0029】

【第 8 の実施例】図 10 は第 8 の実施例の D C - D C コンバータを示す。この図 10 の回路は図 7 の回路を他励式に変形し、スイッチング素子 4 5 の制御端子に PWM パルス発生回路 6 0 a を接続したものである。その他は図 7 と同一に構成されており、図 10 において図 7 と共通する部分には同一の符号が付されている。PWM パルス発生回路 6 0 a は所定周期でスイッチング素子 4 5 をオン・オフするパルス列を発生する。その他の動作は図 7 と同一であり、同一の効果が得られる。なお、図 10 のスイッチング素子 4 5 をバイポーラトランジスタにすることができる。

【0030】

【第 9 の実施例】図 11 は第 9 の実施例のインバータを示す。この図 11 の回路は図 1 の回路をセンタタップ式のプッシュプル回路に変形したものであって、センタタ

ップ型の出力トランス 70 が設けられ。この 1 次巻線 71 のセンタタップと接続中点 8 との間に直流電源 1 が接続され、1 次巻線 71 の一端が第 1 のスイッチング素子 Q1 に接続され、他端が第 2 のスイッチング素子 Q2 に接続され、2 次巻線 72 に負荷 73 が接続されている。図 11 において図 1 と共通する部分には同一の符号が付されている。第 1 のコンデンサ C1 の充電電流は、直流電源 1 と 1 次巻線 71 の上半分とコンデンサ C1 とダイオード D1 の回路で流れる。コンデンサ C1 の放電電流は、コンデンサ C1 と 1 次巻線 71 のインダクタンスとの共振によってコンデンサ C1 と 1 次巻線 71 の上半分と電源 1 とトランジスタ 16 のベース・エミッタ間とから成る回路で流れる。第 2 のコンデンサ C2 の充電及び放電も同様に達成される。コンデンサ C1、C2 は電源 1 の電圧の 2 倍に充電される。図 11 のスイッチング素子 Q1、Q2 のゼロボルトスイッチングの動作は図 1 の回路と実質的に同一であり、図 1 と同一の作用効果が得られる。

【0031】

【第 10 の実施例】図 12 は第 10 の実施例のインバータを示す。このインバータ回路は、図 3 及び図 11 の回路の一部を変形したものである。即ち、図 3 のコンデンサ C1、C2 の充放電回路を図 11 のプッシュプル型インバータに適用したものである。従って、図 12 の回路は図 3 と同様の効果を有する。なお、ダイオード D5、D6 をダイオード D1、D2 に逆並列接続することができる。また、図 5 の回路のコンデンサ C1、C2 の充電及び放電回路を図 12 のこれと置き換えることができる。

【0032】

【第 11 の実施例】図 13 は第 11 の実施例を示す。この図 13 は図 1 の回路を図 6 の場合と同様に 1 つのコンデンサ C を使用する方式に変形したものである。従って、図 13 において図 1 と共通する部分には同一の符号を付してその説明を省略する。図 13 においては共通の駆動信号入力端子 13a が抵抗 11、12 を介して第 1 及び第 2 のスイッチング素子 Q1、Q2 の制御端子（ゲート）に接続されている。第 1 及び第 2 のスイッチング素子 Q1、Q2 は N チャネル型と P チャネル型とに形成され、互いに逆の極性を有する。そして、第 2 のスイッチング素子 Q2 のドレインがグランドに接続されている。ゼロボルトスイッチングを行うために、第 1 及び第 2 のスイッチング素子 Q1、Q2 の制御端子（ゲート）の相互間に NPN 型トランジスタ 16 と PNP 型トランジスタ 17 との直列回路が接続され、これ等のベースは接続中点 8 にそれぞれ接続されている。コンデンサ C は第 1 のスイッチング素子 Q1 の上端（ドレイン）と第 1 及び第 2 のトランジスタ 16 及び 17 の接続点との間に接続されている。共通の駆動信号供給端子 13a は第 1

のスイッチング素子 Q1 をオンにするための正方向パルス V_{s1} と第 2 のスイッチング素子 Q2 をオンにするための負方向パルス V_{s2} とを交互に発生する。

【0033】第 1 及び第 2 のスイッチング素子 Q1、Q2 の交互のオン・オフによって DC-AC 変換する動作は図 1 の回路と同一である。また、1 つのコンデンサ C によってゼロボルトスイッチングを達成する動作は図 6 とほぼ同一である。第 2 のスイッチング素子 Q2 のオン期間には接続中点 8 がグランドになるので、コンデンサ C は電源 1 の電圧に充電される。第 2 のスイッチング素子 Q2 がオフ制御されると、この両端子間電圧 V_{ds} が上昇し、接続中点 8 の電位が高くなる。これにより、コンデンサ C と第 1 の電源用コンデンサ 2 と負荷 1 次巻線 7a と第 1 のトランジスタ 16 のベース・エミッタ間とから成る回路でコンデンサ C の放電電流が流れる。この結果、図 1 の回路と同様にトランジスタ 16 のオンで第 1 のスイッチング素子 Q1 のオンが阻止される。コンデンサ C の放電が終了すると、第 1 のスイッチング素子 Q1 のドレイン電位とソース電位とがほぼ等しくなり、このドレイン・ソース間電圧 V_{ds1} がほぼ零になる。コンデンサ C の放電の終了に同期してトランジスタ 16 がオフになるので、駆動端子 13a の駆動信号による駆動が可能になり、第 1 のスイッチング素子 Q1 がオンになる。これにより、図 1 と同様にゼロボルトスイッチングが達成される。第 1 のスイッチング素子 Q1 がオフ制御された時にはここで電圧降下が生じ、接続中点 8 の電位が下がる。このため、電源 1 とコンデンサ C と第 2 のトランジスタ 17 のエミッタ・ベース間と負荷 1 次巻線 7a と第 2 の電源用コンデンサ 3 とから成る回路でコンデンサ C の充電回路が形成され、この充電電流が流れている期間は図 1 と同様にトランジスタ 17 がオンになり、第 2 のスイッチング素子 Q2 のオン駆動が阻止される。コンデンサ C の充電が終了してこの電圧が電源 1 の電圧になると、トランジスタ 17 がオフになり、駆動信号が第 2 のスイッチング素子 Q2 に有効に作用し、第 2 のスイッチング素子 Q2 がオンになり、ゼロボルトスイッチングが達成される。従って、図 13 の回路によっても図 1 の回路と同一の作用効果を得ることができ、更にコンデンサの数を 1 個減らすことができる。

【0034】

【第 12 の実施例】次に、図 14 に示す第 12 の実施例の変形ハーフブリッジ型即ち SEP P 型インバータを説明する。但し、図 14 において図 1 と共通する部分には同一の符号を付してその説明を省略する。図 14 では第 2 のスイッチング素子 Q2 にコンデンサ 3a を介して負荷回路 7 が並列に接続されている。その他は図 1 と同様に構成されている。第 1 及び第 2 のスイッチング素子 Q1、Q2 の交互のオン・オフに対応したコンデンサ 3a の充放電によって負荷回路 7 に交流が供給される。コンデンサ C1、C2 の放電終了前のスイッチング素子 Q1

、Q2 のオンの阻止は図 1 と同様に達成される。従って、図 1 の回路と同様の作用効果を得ることができる。なお、図 14 ではオン阻止手段としてトランジスタ 16、17 とダイオード D1、D2 とが設けられているが、この代りに、図 3 又は図 4 のダイオード D1 ~ D6 の回路とすること、又は図 5 のオン阻止回路にすることができる。また、図 14 の変形ハーフブリッジ型インバータ回路においても、図 6 の 1 つのコンデンサ C の方式、図 11 のオン阻止方式、図 12 のオン阻止方式、図 13、図 15、図 16、図 17 の方式を採用することができる。

【0035】

【第 13 の実施例】次に、図 18 に示す第 13 の実施例のフルブリッジ型インバータを説明する。但し、図 18 において図 1 と共通する部分には同一の符号を付してその説明を省略する。図 18 においては、図 1 のコンデンサ 2、3 の代りに第 3 及び第 4 のスイッチング素子 Q3、Q4 が接続されている。第 3 及び第 4 のスイッチング素子 Q3、Q4 に関連してコンデンサ C3、C4、トランジスタ 80、81、ダイオード 82、83、駆動巻線 84、85、抵抗 86、87 が第 1 及び第 2 のスイッチング素子 Q1、Q2 の場合と同様に設けられている。駆動巻線 84、85 はトランス 10 に一体に形成されている。図 18 の回路では周知のように、第 1 及び第 4 のスイッチング素子 Q2、Q4 が同時にオンになり、第 2 及び第 3 のスイッチング素子 Q2、Q3 が同時にオンになる。各スイッチング素子 Q1 ~ Q4 のオン・オフ動作は図 1 のスイッチング素子 Q1、Q2 と同一であるので、図 18 の回路は図 1 の回路と同一の作用効果を有する。なお、図 18 のフルブリッジ型インバータ回路においても、図 3、図 4、図 5、図 6、図 13、図 15、図 16、図 17 の回路方式を適用することができる。

【0036】

【変形例】本発明は上述の実施例に限定されるものでなく、例えば次の変形が可能なものである。

(1) 図 1 の回路を図 17 に示すように接続中点 8 を中心に上下対称になるように変形することができる。但し、図 17 では第 1 及び第 2 のスイッチング素子 Q1、Q2 及び第 1 及び第 2 のトランジスタ 16、17 は互いに逆の導電型に形成されている。図 3、図 4 及び図 5 の回路も図 17 と同様に変形することができる。

(2) 第 1 及び第 2 のコンデンサ C1、C2 のいずれか一方を省いた回路にすることができる。この場合であっても第 1 及び第 2 のスイッチング素子 Q1、Q2 のいずれか一方のゼロボルトスイッチングは達成される。

(3) 図 7 及び図 9 の回路をスイッチング素子 45 がオンの時にダイオード 47 がオンになるフォワード型のコンバータにも適用可能である。また、図 7、図 9 の回路から整流平滑回路 49 を省いてインバータとすること

もできる。

(4) 図 3 及び図 4 の回路を図 15 及び図 16 に示すように変形することができる。即ち、図 3 及び図 4 の回路から第 1 のコンデンサ C1 を省いて図 6 と同様に 1 つのコンデンサ C を第 1 及び第 2 のダイオード D1、D2 のアノード間に接続することができる。

(5) 図 2 では駆動巻線 14、15 の駆動信号 V_{S1} 、 V_{S2} の相互間に休止期間 ($t_2 \sim t_3$) を設けたが、この休止期間を設けない構成とすることができる。この休止期間を設けなくともコンデンサ C1、C2 の電流が流れる期間は自動的に休止期間となる。

【図面の簡単な説明】

【図 1】第 1 の実施例のインバータを示す回路図である。

【図 2】図 1 の各部の波形図である。

【図 3】第 2 の実施例のインバータを示す回路図である。

【図 4】第 3 の実施例のインバータを示す回路図である。

【図 5】第 4 の実施例のインバータを示す回路図である。

【図 6】第 5 の実施例のインバータを示す回路図である。

【図 7】第 6 の実施例の DC-DC コンバータを示す回路図である。

【図 8】図 7 のスイッチング素子の電圧を示す波形図である。

【図 9】第 7 の実施例の DC-DC コンバータを示す回路図である。

【図 10】図 8 の実施例の DC-DC コンバータを示す回路図である。

【図 11】第 9 の実施例のインバータを示す回路図である。

【図 12】第 10 の実施例のインバータを示す回路図である。

【図 13】第 11 の実施例のインバータを示す回路図である。

【図 14】第 12 の実施例のインバータを示す回路図である。

【図 15】変形例のインバータを示す回路図である。

【図 16】別の変形例を示す回路図である。

【図 17】更に別の変形例のインバータを示す回路図である。

【図 18】第 13 の実施例のインバータを示す回路図である。

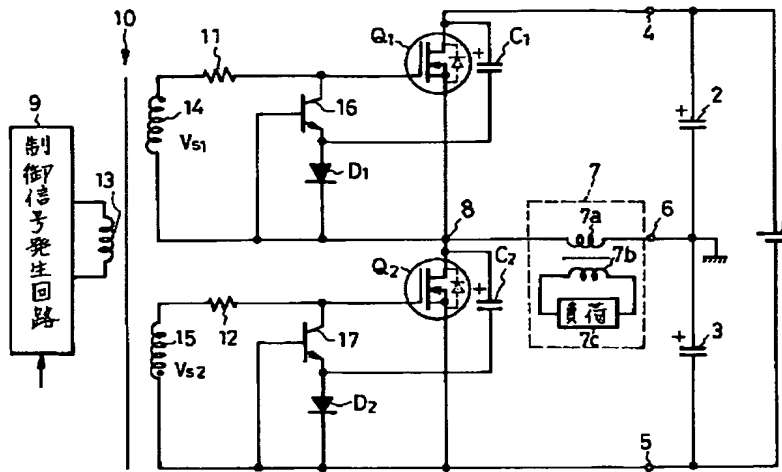
【符号の説明】

Q1、Q2 スwitchング素子

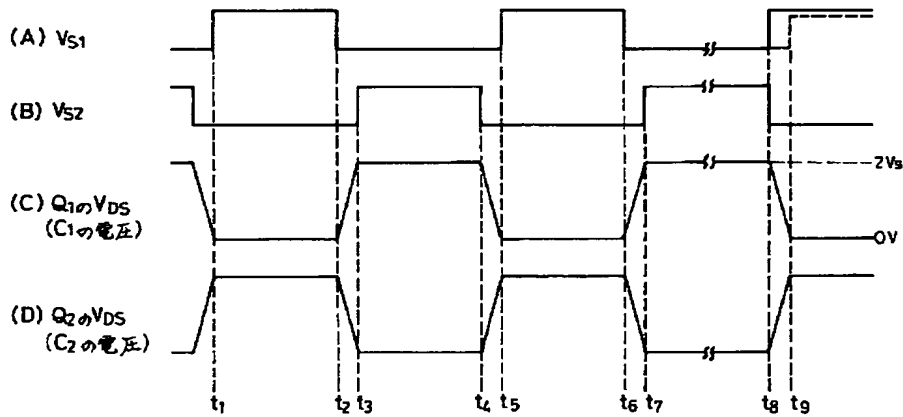
C1、C2 コンデンサ

D1、D2 ダイオード

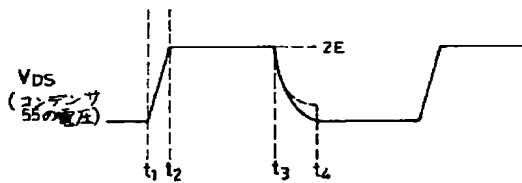
【図 1】



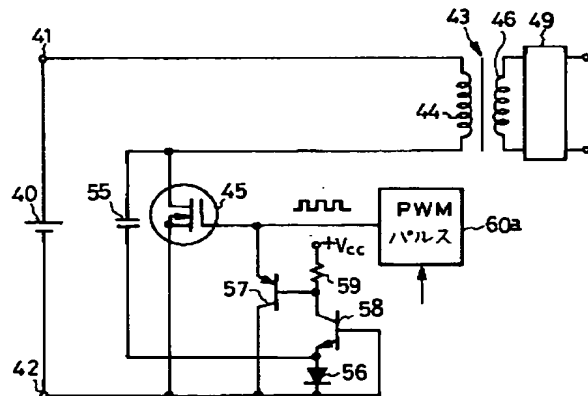
【図 2】



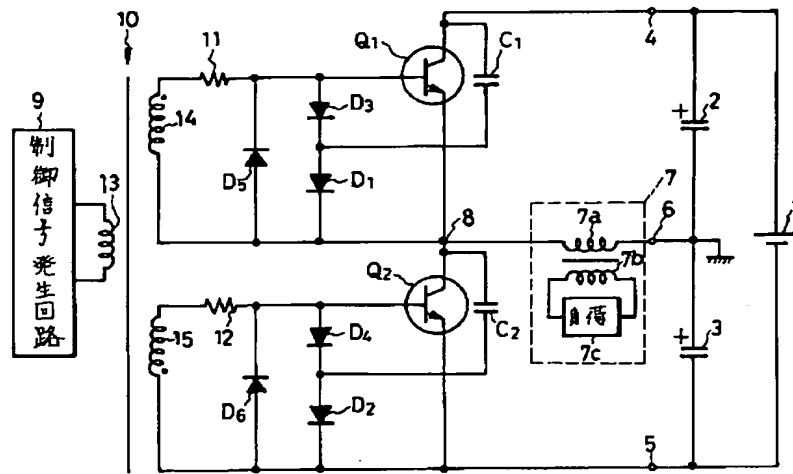
【図 8】



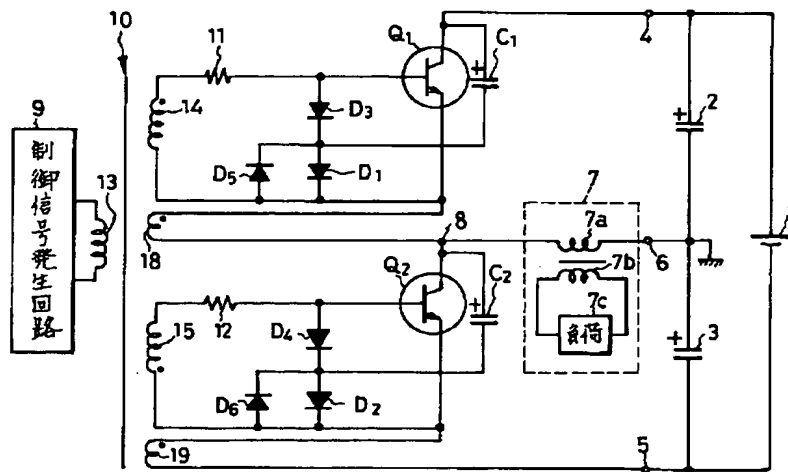
【図 10】



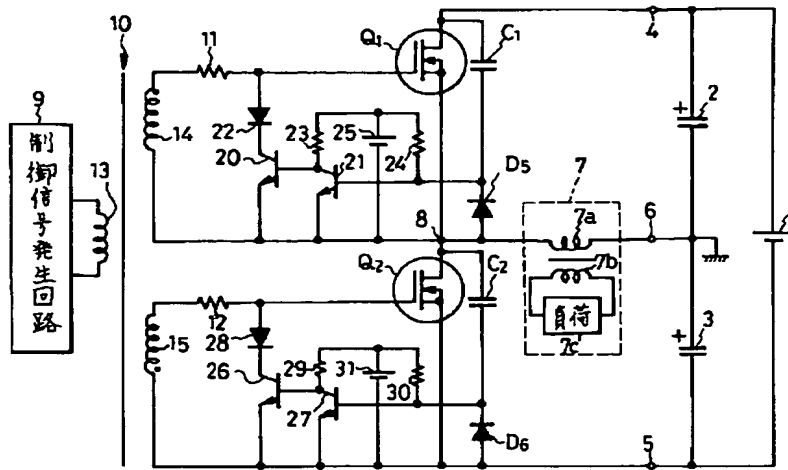
【図3】



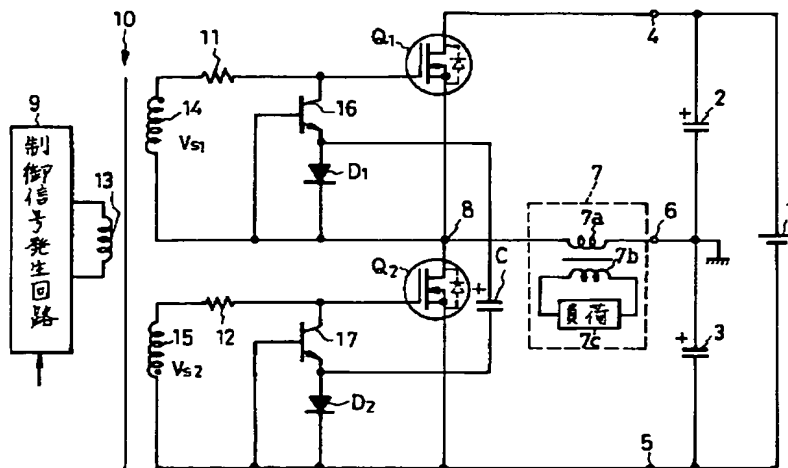
【図4】



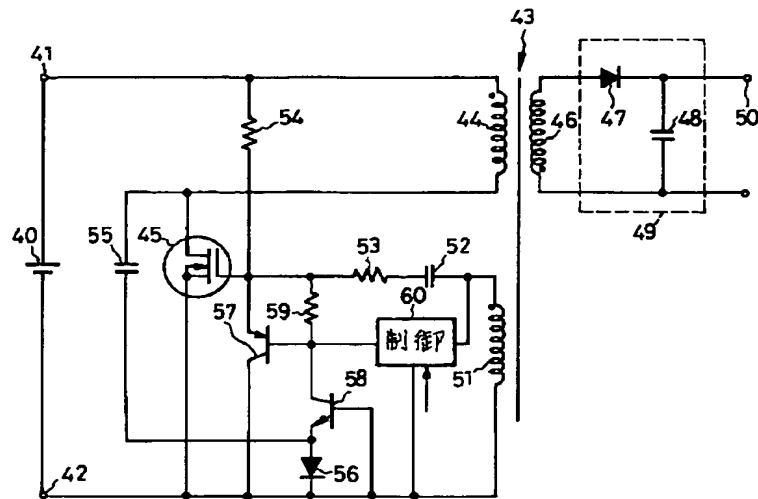
【図5】



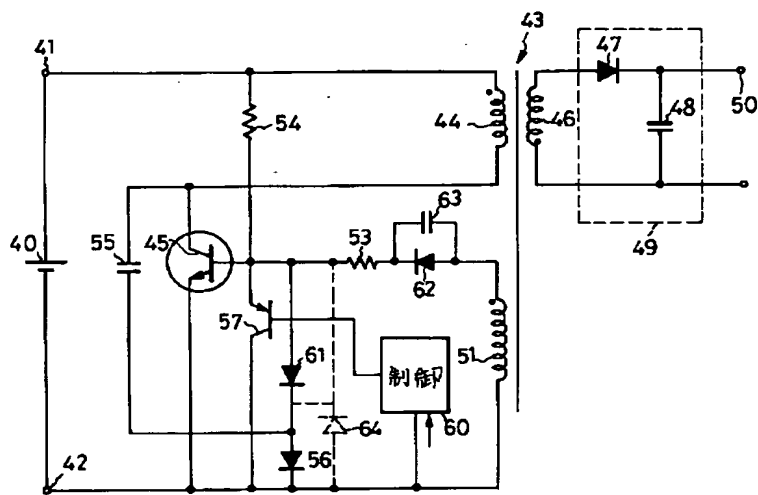
【図6】



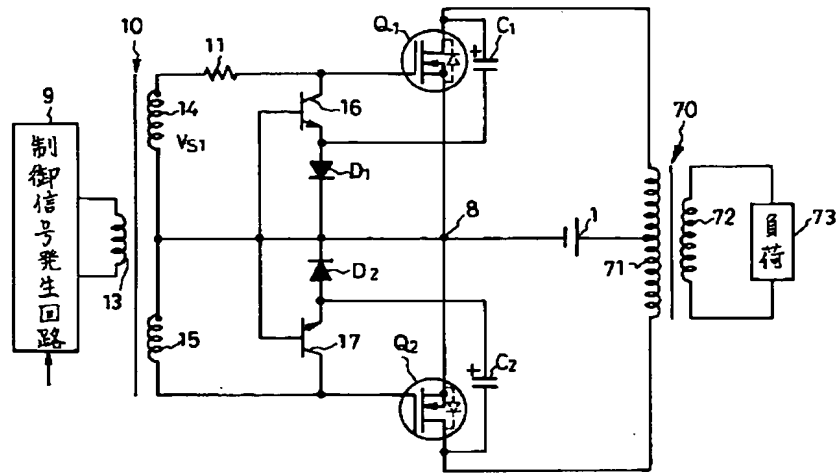
【図7】



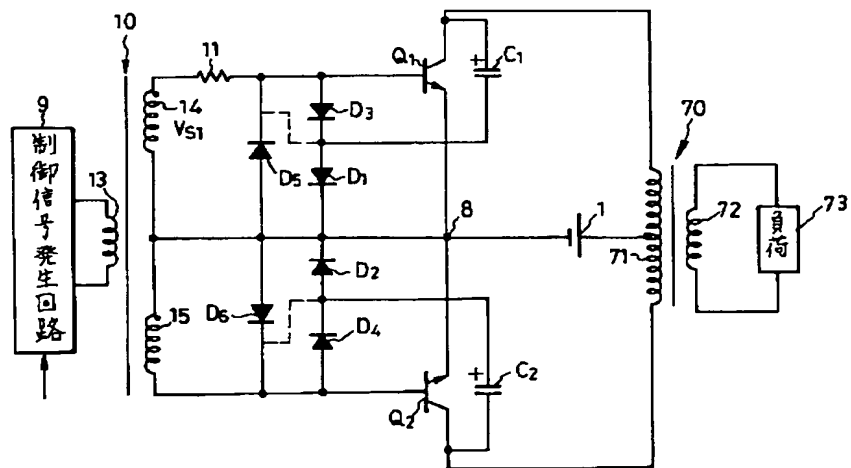
【図9】



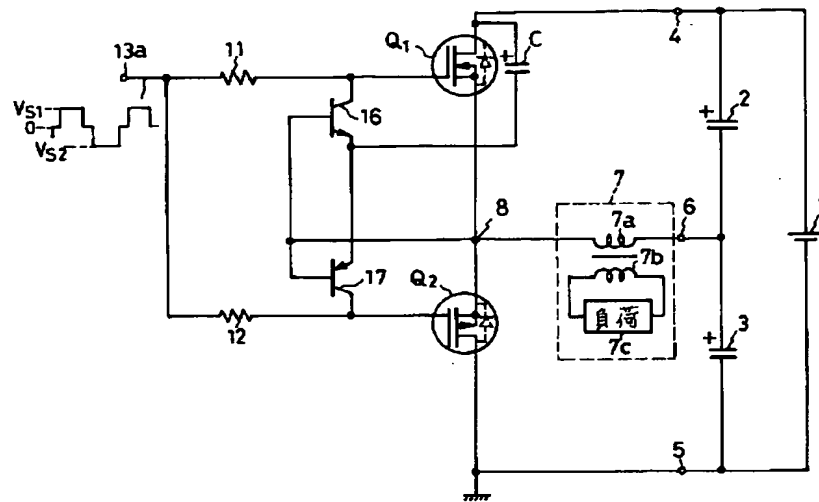
【図 1 1】



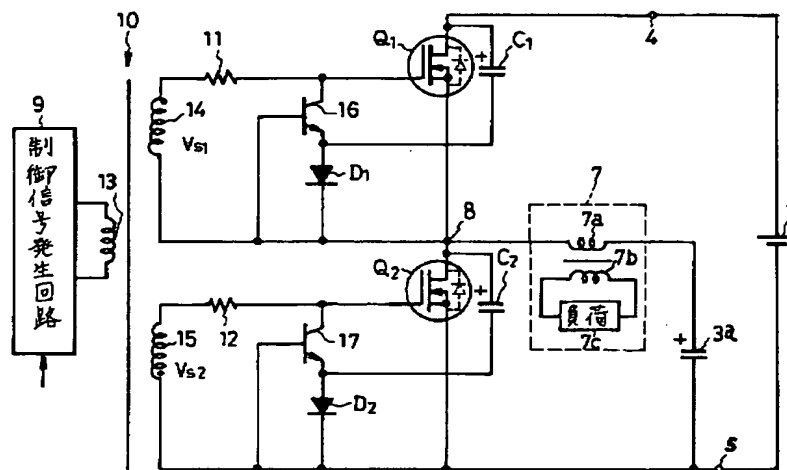
【図 1 2】



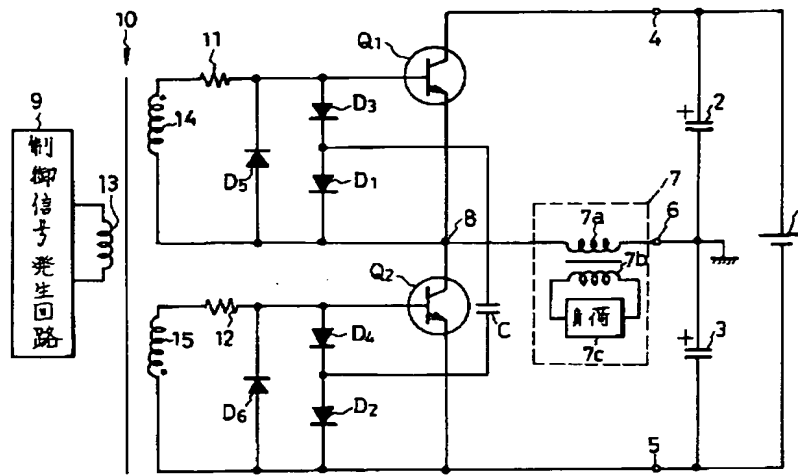
【図13】



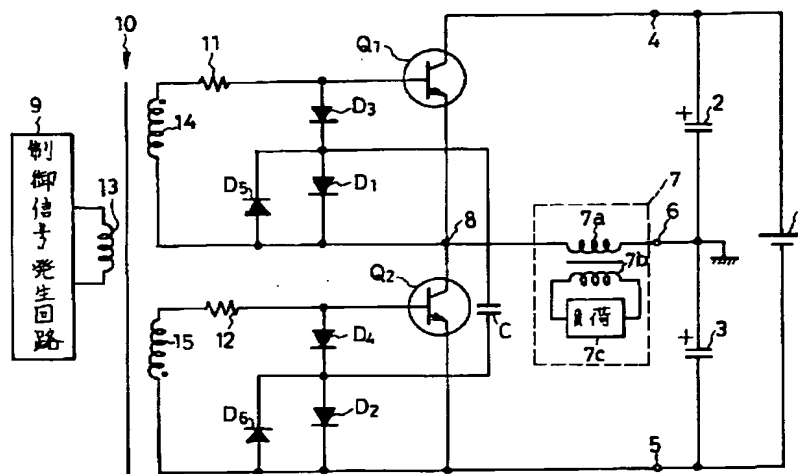
【図14】



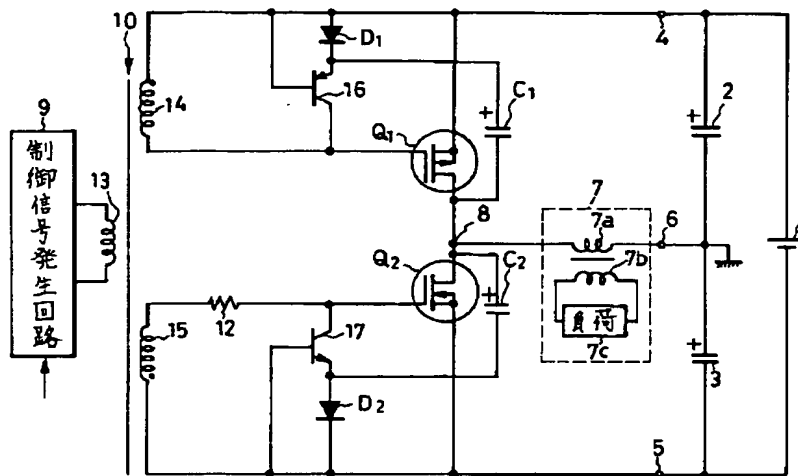
【図 15】



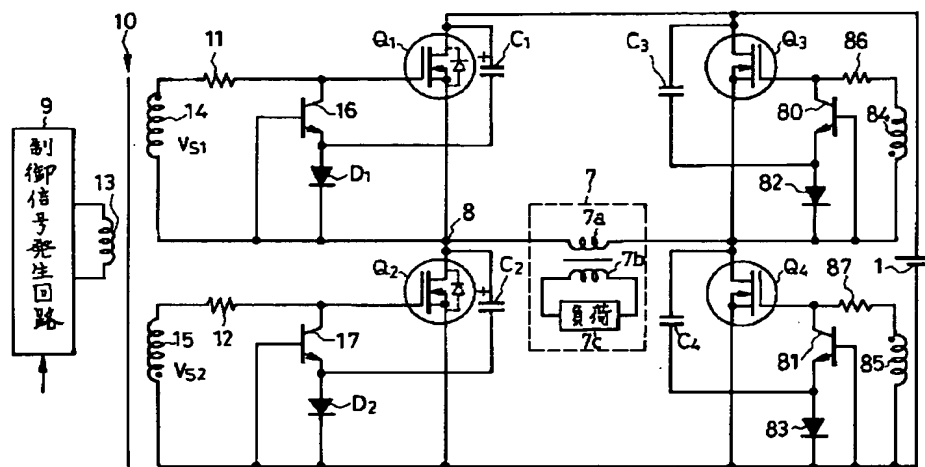
【図 16】



【図 17】



【図 18】



フロントページの続き

(51) Int. Cl.⁶
H 0 2 M 7/538

識別記号

庁内整理番号
9181-5H

F I

技術表示箇所

This Page Blank (uspto)

This Page is inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ BLACK BORDERS
- ☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLORED OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REPERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images
problems checked, please do not report the
problems to the IFW Image Problem Mailbox**

THIS PAGE BLANK (USPTO)